

BEST AVAILABLE COPY

(54) ELECTRONIC CIRCUIT

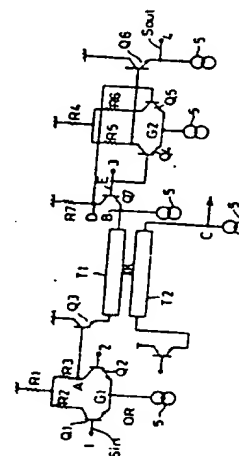
(11) 2-226846 (A) (43) 10.9.1990 (19) JP
 (21) Appl. No. 64-47045 (22) 28.2.1989
 (71) TOSHIBA CORP (72) KENICHI TORII
 (51) Int. Cl. H04L25/02, H03K19/018, H03K19/0185, H04L25/08

AD

DOCKET # 4036
 INV.: E. KRESSLER

PURPOSE: To reduce the quantity of crosstalk between transmission lines by suppressing variation in the voltage of a signal on transmission lines almost to the half of the voltage difference between the "1" level and "0" level of an input signal.

CONSTITUTION: A bipolar transistor (TR) Q7 is provided between the point B at the output terminal of the transmission line and a next-stage logic gate G2 on a reception side, the emitters of an emitter follower TR Q3 and this TR Q7 are connected through the transmission line T1 to constitute an OR gate, and the collector output of the TR Q7 is supplied to the base of a TR Q5 as the input of the next-stage logic gate G2. A reference voltage terminal 3 for applying a reference voltage to the bases of a TR Q4 and the TR Q7 is connected to a constant voltage source so that a voltage which is almost intermediate between the "1" level and "0" level of the signal at a point A which is the output signal of a front-stage logic gate G1. Consequently, the quantity of crosstalk to an adjacent transmission line can be suppressed low.



USPS EXPRESS MAIL
 EL 759 600 542 US
 DECEMBER 13 2000

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-226846

⑬ 公開 平成2年(1990)9月10日

⑭ Int.Cl.

識別記号

庁内整理番号

H 04 L 25/02
H 03 K 19/018
19/0185
H 04 L 25/02
25/08

W

7345-5K

G
Z

7345-5K
7345-5K
8326-5J
8326-5J

H 03 K 19/092
19/00

1 0 1 B

審査請求 未請求 請求項の数 4 (全10頁)

⑮ 発明の名称 電子回路

⑯ 特 願 平1-47045

⑰ 出 願 平1(1989)2月28日

⑱ 発 明 者 鳥 居 憲 一

神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究
所内

⑲ 出 願 人 株 式 会 社 東 芝

神奈川県川崎市幸区堀川町72番地
外1名

⑳ 代 理 人 弁 理 士 三 好 秀 和

明 細 書

1. 発明の名称

電子回路

2. 特許請求の範囲

(1) 送信側バイポーラトランジスタと受信側バイポーラトランジスタとのエミッタ同士を伝送線路を介して接続してORゲートを構成し、前記送信側バイポーラトランジスタの信号入力端に前段論理ゲートの出力端を接続し、前記受信側バイポーラトランジスタの出力端に次段論理ゲートの入力端を接続し、前記受信側バイポーラトランジスタのベースに基準電圧として前記前段論理ゲートの'1'出力時の電圧レベルと'0'出力時の電圧レベルとの間の電圧を印加して成る電子回路。

(2) 送信側バイポーラトランジスタと受信側バイポーラトランジスタとのエミッタ同士を伝送線路を介して接続してORゲートを構成し、前記送信側バイポーラトランジスタの信号入力端に前段論理ゲートの出力端を接続し、前記受信側バイポーラトランジスタの出力端に次段論理ゲートの

入力端を接続し、前記受信側バイポーラトランジスタのベースに、前記前段論理ゲートの'0'出力する時にこの前段論理ゲートの'1'出力電圧レベルとほぼ等しい電圧を印加し、前段論理ゲートが'1'出力する時にこの前段論理ゲートの'1'出力電圧レベルと'0'出力電圧レベルとのほぼ中間の電圧を印加する基準電圧回路を接続して成る電子回路。

(3) 送信側FET(Field Effect Transistor)と受信側FETとのソース同士を伝送線路を介して接続してORゲートを構成し、前記送信側FETの信号入力端に前段論理ゲートの出力端を接続し、前記受信側FETの出力端に次段論理ゲートの入力端を接続し、前記受信側FETのゲートの入力端を接続し、前記受信側FETのベースに基準電圧として前記前段論理ゲートの'1'出力時の電圧レベルと'0'出力時の電圧レベルとの間の電圧を印加して成る電子回路。

(4) 送信側FETと受信側FETとのソース同士を伝送線路を介して接続してORゲートを構成し、前記送信側FETの信号入力端に前段論理

ゲートの出力端を接続し、前記受信側 FET の出力端に次段論理ゲートの入力端を接続し、前記受信側 FET のゲートに、前記前段論理ゲートが '0' 出力する時にこの前段論理ゲートの '1' 出力電圧レベルとほぼ等しい電圧を印加し、前段論理ゲートが '1' 出力する時にこの前段論理ゲートの '1' 出力電圧レベルと '0' 出力電圧レベルとのほぼ中間の電圧を印加する基準電圧回路を接続して成る電子回路。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

この発明は高速デジタル信号を扱うのに適した電子回路に関する。

（従来の技術）

半導体集積回路は年々そのデバイスの寸法が小さくなり、高集積化の一途をたどると同時にデバイスの寄生容量が減るためより高速化の方向に進んでいる。

このため、回路と回路とを結ぶ配線容量が相対

的に増加してくると共に配線間の結合度も上昇してくるために隣りの回路とのクロストークも増大し、クロックスキューや入力信号の '1'、'0' レベルの判定もマージンが低下してきて回路の誤動作の発生を引き起こす可能性も増加しつつある。

このような電子回路の従来例として、ECL 回路で 1 入力の論理ゲート回路が 2 つあり、その間が伝送線路により結ばれている場合の回路構成が第 7 図に示されている。

この従来の電子回路は、G1 はバイポーラトランジスタ Q1、Q2 の差動回路で構成される前段論理ゲートであり、G2 はバイポーラトランジスタ Q4、Q5 の差動回路で構成される次段論理ゲートであり、これらは共に OR ゲートを構成している。そして、この前段論理ゲート G1 と次段論理ゲート G2 との間がエミッタフロアトランジスタ Q3 と伝送線路 T1 により接続された構成となっている。そして、前段論理ゲート G1 では、トランジスタ Q1 のベースに入力端子 1 が設けられ、トランジスタ Q2 のベースに設けられた端子

2 に基準電圧が印加されている。また、次段論理ゲート G2 では、トランジスタ Q4 のベースが入力端子となり、トランジスタ Q5 のベースに設けられた端子 3 に基準電圧が印加されるようになっている。

そして、この次段論理ゲート G2 の出力がエミッタフロアトランジスタ Q6 に接続され、このエミッタフロアトランジスタ Q6 のエミッタに出力端子 4 が設けられている。尚、5 は定電流源、R1～R6 は抵抗である。

そして、このような電子回路の伝送線路 T1 に近接して別の電子回路の伝送線路 T2 が配置されているが、このように伝送線路 T1、T2 が近接している場合には両伝送線路 T1、T2 は結合係数 K で電磁的に結合されることになる。

そこで、電子回路において、入力端子 1 に入力信号 S_{in} が入力されると、前段論理 (OR) ゲート 1 の出力端子 A に第 8 図 (a) に示す '1'、'0' の信号が立つことになる。そして、この信号 A は、エミッタフロアトランジスタ Q3 を介して伝送線路 T1 に送り出され、次段論理 (OR) ゲート G2 のトランジスタ Q4 にベースに入力される。

次段論理ゲート G2 では、これが OR ゲートとなっているため、B 点の入力信号と同じ波形の出力信号 S_{out} がエミッタフロアトランジスタ Q6 を介して出力端子 4 から出力されることになる。

（発明が解決しようとする課題）

しかしながら、このような従来の電子回路では、次のような問題点があった。

第 8 図は第 7 図の回路における A～C 点の波形、及び入力信号 S_{in}、出力信号 S_{out} の波形を示したものであり、入力端子 1 に同図 (a) に示す波形の信号 S_{in} が入力されると、A 点の波形も電圧レベルは異なるがほぼ同一の波形信号が回路特有の伝播遅延を受けて得られる。そして、A 点の信号はエミッタフロアトランジスタ Q3 を経て伝送線路 T1 を伝播して B 点に達する。この B 点では、同図 (b) に示すように鈍った波形となる。これは主に伝送線路の分布容量のために起こり、

特に電荷を放電する立ち下がり特性は悪く、だらだらとした波形のパルスになってしまう。

また、同図 (b) の B 点の波形で立ち下がり特性が鈍って劣化してしまうため、次段論理ゲート G2 への閾値のタイミングが遅れることになり、同図 (d) に示すように出力端子 4 からの出力信号 Sout の波形が A 点の波形に比べてかなりの時間の遅延 t_d を生ずる問題点があった。

さらに、伝送線路 T1 と結合係数 K で結合されている伝送線路 T2 では、C 点において同図 (c) に示すように B 点の波形と似た形の波形がクロストークとして発生してしまう。この信号は、本来伝送線路 T2 で伝送すべきパルス波形 (図示せず) に重畳されるので、閾値が本来の信号波形とは異なってしまっていてタイミングが変化し、特に本来の信号がクロック信号である場合にはクロックスキューを発生しやすい問題点があった。

そして、従来の電子回路におけるこのような問題点は、例えば ECL・IC や SCFL 形 GaAs IC を基板に実装してプリント配線で信号を伝

送させる場合のみならず、ゲートアレイのように IC チップ内のチャネル配線が比較的長くなるような場合にも発生する。

さらに上記の従来例では隣接する 2 本の伝送線路 T1、T2 間の結合による問題点について説明したが、実際にはさらに多くの伝送線路が並行している場合のほうが多く、そのようなところでは両隣の伝送線路との結合や隣々接している伝送線路との結合があり、さらに IC 内部では集積度が上がれば上がる程に結合度も強くなり、その影響が益々大きくなる問題点があった。

この発明はこのような従来の問題点を解決するためになされたもので、伝送路を通して伝送すべき信号の変動分を伝送線路上では極力低く抑えるようにするために伝送線路への充電を送信端及び受信端との双方から供給し合い、放電による波形の鈍りを取り除くと共に、見掛上伝送線路上の信号を小さくすることにより他の伝送線路への影響を低く抑えることのできる電子回路を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

この発明の請求項 1 の電子回路は、送信側バイポーラトランジスタと受信側バイポーラトランジスタとのエミッタ同士を伝送線路を介して接続して OR ゲートを構成し、前記送信側バイポーラトランジスタの信号入力端に前段論理ゲートの出力端を接続し、前記受信側バイポーラトランジスタの出力端に次段論理ゲートの入力端を接続し、前記受信側バイポーラトランジスタのベースに基準電圧として前記前段論理ゲートの '1' 出力時の電圧レベルと '0' 出力時の電圧レベルとの間の電圧を印加している。

またこの発明の請求項 2 の電子回路は、請求項 1 における受信側バイポーラトランジスタのベースに、前記前段論理ゲートが '0' 出力する時にこの前段論理ゲートの '1' 出力電圧レベルとほぼ等しい電圧を印加し、前段論理ゲートが '1' 出力する時にこの前段論理ゲートの '1' 出力電圧レベルと '0' 出力電圧レベルとのほぼ中間の

電圧を印加する基準電圧回路を接続している。

さらにこの発明の請求項 3 の電子回路は、送信側 FET と受信側 FET とのソース同士を伝送線路を介して接続して OR ゲートを構成し、前記送信側 FET の信号入力端に前段論理ゲートの出力端を接続し、前記受信側 FET の出力端に次段論理ゲートの入力端を接続し、前記受信側 FET のゲートに基準電圧として前記前段論理ゲートの '1' 出力時の電圧レベルと '0' 出力時の電圧レベルとの間の電圧を印加している。

またさらにこの発明の請求項 4 の電子回路は、請求項 3 における受信側 FET のゲートに、前記前段論理ゲートが '0' 出力する時にこの前段論理ゲートの '1' 出力電圧レベルとほぼ等しい電圧を印加し、前段論理ゲートが '1' 出力する時にこの前段論理ゲートの '1' 出力電圧レベルと '0' 出力電圧レベルとのほぼ中間の電圧を印加する基準電圧回路を接続している。

(作用)

この発明の請求項 1 の電子回路では、伝送線

路を介してエミッタ同士が接続され、ORゲートを構成しているトランジスタのうち受信側のトランジスタにおいて、そのエミッタ入力があるレベルである時にはエミッタにベースの基準電圧から V_{be} レベルシフトした電圧を与えることにより、伝送線を伝送される信号の電圧変動を入力信号の'1'レベルと'0'レベルとの電圧差の半分程度に抑えることができる。

また請求項2の電子回路では、基準電圧回路から受信側トランジスタのベースにこのトランジスタのエミッタ入力があるレベルの時には'1'レベルと'0'レベルとの中間の基準電圧を与え、前記受信側トランジスタのエミッタ入力があるレベルの時には'1'レベルの電圧を与える。これにより、この受信側トランジスタのエミッタの電圧は入力信号があるレベルであっても'0'レベルであってもほぼ一定の電圧を保つことができ、このエミッタに接続されている伝送線を伝送される信号の電圧変動をほぼ平坦なものとすることができる。

することができる。

(実施例)

以下、この発明の実施例を図に基づいて詳説する。

第1図はこの発明の一実施例を示しており、従来例として第7図に示してある電子回路の構成部品と同一の部品については、同一の符号を付して示してある。

この実施例の特徴は、伝送線路T1の出力端のB点と受信側の次段論理ゲートG2との間にバイポーラトランジスタQ7を設け、エミッタフォロアトランジスタQ3とこのトランジスタQ7とのエミッタ同士を伝送線路T1を介して接続してORゲートを構成し、トランジスタQ7のコレクタ出力を次段論理ゲートG2の入力としてトランジスタQ5のベースに与えるようにしたところにある。加えて、論理ゲートG2のトランジスタQ4のベースとトランジスタQ7のベースとに基準電圧を与える基準電圧端子3は、前段論理ゲートG1の出力信号であるA点の信号の'1'レベルと

さらに請求項3の電子回路では、伝送線を介してソース同士が接続され、ORゲートを構成しているトランジスタの受信側トランジスタにおいて、そのソース入力があるレベルである時にはソースにゲートの基準電圧から V_{gs} レベルシフトした電圧を与えることにより、伝送線を伝送される信号の電圧変動を入力信号の'1'レベルと'0'レベルとの電圧差の半分程度に抑えることができる。

またさらに請求項4の電子回路では、基準電圧回路から受信側トランジスタのゲートにこのトランジスタのソース入力があるレベルの時には'1'レベルと'0'レベルとの中間の基準電圧を与え、前記受信側トランジスタのソース入力があるレベルの時には'1'レベルの電圧を与える。これにより、この受信側トランジスタのソースの電圧は入力信号があるレベルであっても'0'レベルであってもほぼ一定の電圧を保つことができ、このソースに接続されている伝送線を伝送される信号の電圧変動をほぼ平坦なものとする

'0'レベルとのほぼ中間の電圧が印加されるように定電圧源(図示せず)に接続されるようになっている。尚、R7は抵抗である。

次に、上記の構成の電子回路の動作について説明する。

前段論理ゲートG1の入力端子1に第2図(a)に示すようなデジタル入力信号S1aが与えられる時、A点の波形は電圧レベルは異なってもほぼ同一の形のものとしてエミッタフォロアトランジスタQ3のベースに入力される。

そこで、この第2図(a)に示す波形の信号がエミッタフォロアトランジスタQ3及び伝送線路T1を介して受信側の差動対を構成するトランジスタQ7のエミッタに入力されることになる。

このトランジスタQ7は送信側のエミッタフォロアトランジスタQ3と差動対でORゲートを構成しているので、トランジスタQ3がオンの時にはトランジスタQ7はオフとなり、逆にトランジスタQ3がオフの時にはトランジスタQ7はオンとなる。

そこで、D点の信号波形は、第2図(e)に示すようにトランジスタQ7がオンの時には抵抗R7により電圧降下があって'0'レベルとなり、逆にトランジスタQ7がオフの時には'1'レベルとなり、この信号が次段論理ゲートG2に入力される。

次段論理ゲートG2はORゲートであり、D点の波形と同一の波形の信号を出力信号S_{out}としてエミッタフォロアトランジスタQ6を介して出力端子4に出力することになる。

即ち、A点の電圧が'1'レベルの時には、エミッタフォロアトランジスタQ3がオンとなり、逆にトランジスタQ7はオフとなり、トランジスタQ7におけるB点の電圧はエミッタフォロアトランジスタQ3でV_{be}だけレベルシフトとした値となっている。そして、A点の電圧が'0'レベルになった時には、エミッタフォロアトランジスタQ3はオフとなり、逆にトランジスタQ7はオンとなり、B点の電圧は基準電圧端子3のE点の定電圧がトランジスタQ7のV_{be}分だけレベル

ところにある。

そして、この基準電圧回路6において、エミッタフォロアトランジスタQ8のベースにトランジスタQ7からの信号出力が入力され、このエミッタフォロアトランジスタQ8のエミッタ出力がトランジスタQ9を介して次段論理ゲートG2のトランジスタQ5のベースに信号入力として与えられるようになってい

また、基準電圧端子3からは、次段論理ゲートG2のトランジスタQ4のベースに電圧が印加されると共に、論理ゲートG3を構成するトランジスタQ11、Q12のうちのQ12のベースに印加されるようになってい

論理ゲートG3のトランジスタQ11のベースには、トランジスタQ8からの信号入力を与えられるようになってい

上記構成の電子回路の動作について、次に説明する。

第4図(a)に示すような入力信号S_{in}が入力端子1に与えられる時、A点にはこの入力信号と

シフトした値となる。ここで、このE点の電圧は、A点の電圧の'1'レベルと'0'レベルとの中間に設定されているので、第2図(b)に示すようにB点での変動分はA点の変動分のほぼ半分に抑えることができる。

この結果、伝送線路T1に結合されている伝送線路T2のC点に誘起される電圧は、第2図(c)に示すように従来の回路形式に比べてほぼ半分に抑えることができ、クロストーク量を半分に軽減することができるのである。

第3図は請求項2の電子回路の実施例を示しており、第7図に示す従来回路や第1図に示す実施例と同一の回路部品については同一の符号を付して示してある。

この実施例の電子回路の特徴は、伝送線路T1を介してエミッタ同士の接続されているORゲートを構成するトランジスタQ3、Q7のうちトランジスタQ7のベースに印加する基準電圧を、トランジスタQ8~Q12と抵抗R8~R10とで構成される基準電圧回路6から与えるようにした

ほぼ同一の波形が(電圧レベルは異なるが)ある伝播遅延後に得られる。

そこで、この電子回路を正論理で考えると、'1'レベルと'0'レベルとの中間値を破線で示してあるが、第4図(a)の波形の信号が'1'レベルの時、トランジスタQ7のベース電圧(E点の電圧)は破線のレベルになるように設定されている。この時、伝送線路T1のB点の電圧はA点の'1'レベルからエミッタフォロアトランジスタQ3のV_{be}だけ下降した電圧となる。

この時、トランジスタQ7はカットオフしているので、コレクタ電圧(D点の電圧)は同図(d)に示すように'1'レベルにある。そして、このD点の電圧はトランジスタQ8、Q9及び抵抗R10によりレベルシフトされ、論理ゲートG3のトランジスタQ11に入力される。

この論理ゲートG3において、トランジスタQ11に与えられる信号レベルはトランジスタQ12に与えられる基準電圧より高いため、トランジスタQ11側がオンとなり、抵抗R9による電圧

降下分とトランジスタQ10のVbeとでE点の電圧は第4図(e)に示すように低レベルにおかれる。

尚、この時の出力信号Soutについて考えると、トランジスタQ7がオフとなり、D点の電圧が'1'レベルとなって次段論理ゲートG2のトランジスタQ5のベースに'1'レベル信号が与えられるためにこのトランジスタQ5がオンとなり、逆にゲートG2のトランジスタQ4がカットオフする。

この結果、出力側のエミッタフォロアトランジスタQ6を介して出力端子4から同図(f)に示す出力信号Soutが出力されることになる。

次に、A点の電圧が'1'レベルから徐々に下降してしてきた場合を考えると、トランジスタQ3、Q7は差動対となっていて、定電流源5に接続されているので、同図(a)、(d)に示すようにD点の電圧も徐々に下降していく。

このD点の電圧の下降に伴い、トランジスタQ8、抵抗R10によりレベルシフトされた電圧が

降下はなくなり、抵抗R8の電圧降下分がトランジスタQ10のベースに与えられ、このトランジスタQ10でVbeだけレベルシフトしてE点に印加される。

このE点の電圧上昇幅は、抵抗R8、R9の抵抗値を調整することにより'1'レベルと'0'レベルとのほぼ中間値に設定されており、E点の電圧が上昇していくと、トランジスタQ7のエミッタ側のB点の電圧もE点の上昇分だけ上昇していき、A点の'1'レベルの電圧がエミッタフォロアトランジスタQ3でレベルシフトしてB点に達した時の値に近い値となる。

この結果、第4図(b)に示すように、B点の電圧は、入力信号Sinの変化点だけでわずかに変動するが、それ以外の時間はほぼ一定の電圧レベルに保たれることになる。

この時の出力信号Soutの変化について考えると、トランジスタQ7がオンとなった時にD点の電圧が抵抗R7により下降し、トランジスタQ8、Q9及び抵抗R10を介して次段論理ゲートG2

論理ゲートG3の基準電圧端子3の電圧と同程度になると、トランジスタQ11に流れる電流はほぼ半分になるので、抵抗R9の電圧降下も半分となり、トランジスタQ10のベース電圧も徐々に上昇していく。したがって、このトランジスタQ10のベース電圧をVbeだけレベルシフトとしたE点の電圧も徐々に上昇していく。

そして、B点の電圧は、A点の電圧が中間値である破線のレベルを超える前まではこのA点の電圧で決まる値であるが、A点の電圧が破線の中間レベルを超えて下降し'0'レベルに達するとE点の電圧で決定されるようになる。

したがって、A点の電圧が'0'レベルに達した時には定電流源5の電流がすべてトランジスタQ7に流れ、D点の電圧は抵抗R7で降下した電圧となり、'0'レベルとなる。

D点の電圧が'0'レベルとなると、この電圧をレベルシフトした電圧もゲートG3の基準電圧端子3の電圧よりも完全に低くなるのでトランジスタQ11はカットオフし、抵抗R9による電圧

のトランジスタQ5のベースに与えられる電圧も低下し、このトランジスタQ5をカットオフする。この時、逆にトランジスタQ4がオンとなり、抵抗R5により電圧降下した'0'レベル信号が第4図(f)に示すようにエミッタフォロアトランジスタQ6を介して出力端子4から出力されることになる。

次にA点の電圧が再び'1'レベルに達すると、この電圧が'1'レベルに達する時点まではE点の電圧は同図(e)に示すように'1'レベルに保持されるので、B点の変動量は'1'レベルから'0'レベルに変化する場合に比べて極わずかなものとなる。

このようにしてこの実施例の場合、送信側からの信号が'1'レベルの時には伝送線路T1に送信側から電力を供給し、送信側の信号が'0'レベルの時には伝送線路T1に受信側から電力を供給するようにしているため、B点の電圧波形は第4図(b)に示すようにその変動が極めてわずかなものとなり、伝送線路T1と結合されている伝

送線路T2のC点に誘起される信号電圧波形も同図(c)に示すようにほぼ平坦なものとすることができ、隣接する伝送線路T1、T2間のクロストーク量を低く抑えることができるのである。

第5図は請求項2の電子回路の他の実施例を示しており、第3図に示した電子回路において、D点の波形の鈍りを少なくし、立ち上がり立ち下がり特性をさらに良くする回路構成を示している。

この第5図の実施例の回路は、第3図に示す実施例において、伝送線路T1の出口側に設けられたトランジスタQ7のコレクタと抵抗R4のD点との間にトランジスタQ13を挿入すると共に、このトランジスタQ13のベースとグランドとの間にダイオード接続のトランジスタQ14を設けた構成を特徴とし、他の部分の回路構成は第3図のものと同一である。

この実施例の場合、トランジスタQ14の等価的なダイオードの働きによりトランジスタQ13のベース電圧を一定に保つことができ、トランジスタQ7、Q13が共にオンとなり抵抗R4によ

とができる。

そこで、第6図は請求項4に係る電子回路の実施例であり、第3図に示した電子回路のバイポーラトランジスタQ1～Q12に対応する部分をすべてFETFQ1～FQ12に置き換えた形となっている。したがって、この実施例でも第3図に示した電子回路と同様の動作を行ない、伝送線路T1と伝送線路T2との間のクロストーク量を減らすことができる。

〔発明の効果〕

以上のようにこの発明によれば、送信側の出力部のエミッタフォロアまたはソースフォロアトランジスタに対して伝送線路を挟んでエミッタ結合またはソース結合された受信側のトランジスタに対し、そのベースまたはゲートにデジタル信号の‘1’レベルと‘0’レベルとの間の電圧を基準電圧として与え、送信側トランジスタからの信号が‘1’レベルの時には受信側トランジスタのエミッタまたはソース電圧を同じく‘1’レベルとし、前記送信側トランジスタからの信号が‘0’

りD点の電圧降下があっても、トランジスタQ7のコレクタ電圧をグランドに対してトランジスタQ13、Q14による $2V_{be}$ 分だけレベルシフトした値に固定することができ、このトランジスタQ7の応答性が改善され、それだけD点の波形を入力信号に対応した鋭いものとすることができるのである。

尚、この発明は上記の各実施例に限定されるものではなく、上記各実施例ではバイポーラトランジスタを用いたECL回路の実施例について説明したが、第6図に示すようにGaAsトランジスタを用いたソース結合形FET(Field Effect Transistor)ロジック(SCFL)の回路形式にしても実施することができる。したがって、第1図に示した電子回路において、各バイポーラトランジスタQ1～Q7を相応しいFETに置き換えることにより請求項3の電子回路を構成することができ、第3図に示す電子回路の各バイポーラトランジスタQ1～Q12を相応しいFETに置き換えることにより請求項4の電子回路を構成するこ

レベルの時には受信側トランジスタのエミッタまたはソース電圧をベースの基準電圧から V_{be} または V_{gs} 分だけレベルシフトしたものであるため、伝送線路に流れる信号は前段論理ゲートの‘1’レベルと‘0’レベルとの電圧差の中間程度に抑えることができ、隣接する伝送線路へのクロストーク量を従来よりも半分程度低く抑えることができる。

4. 図面の簡単な説明

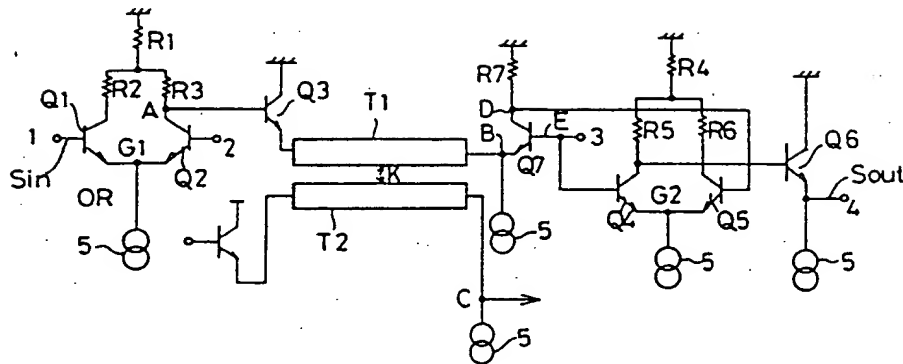
第1図はこの発明の請求項1の電子回路の実施例を示す回路図、第2図は上記実施例の回路の各点の信号波形図、第3図はこの発明の請求項2の電子回路の実施例を示す回路図、第4図は上記実施例の回路の各点の信号波形図、第5図はこの発明の請求項2の電子回路の他の実施例を示す回路図、第6図はこの発明の請求項4の電子回路の実施例を示す回路図、第7図は従来例の回路図、第8図は従来例の各点の波形図である。

Q1～Q14…トランジスタ

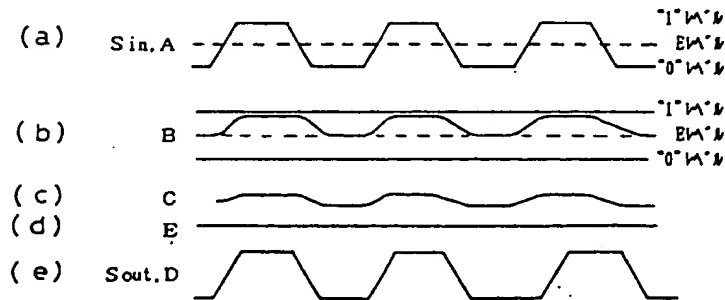
R1～R10…抵抗 T1、T2…伝送線路

- G 1 … 前段論理ゲート G 2 … 次段論理ゲート
 F Q 1 ~ F Q 1 2 … F E T
 1 … 入力端子 2 … 基準電圧端子
 3 … 基準電圧端子 4 … 出力端子
 5 … 定電流源 6 … 定電圧回路

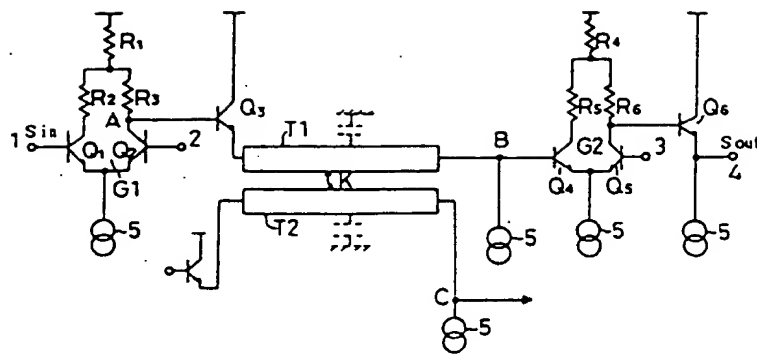
代理人 佐々木 三 好 秀 和



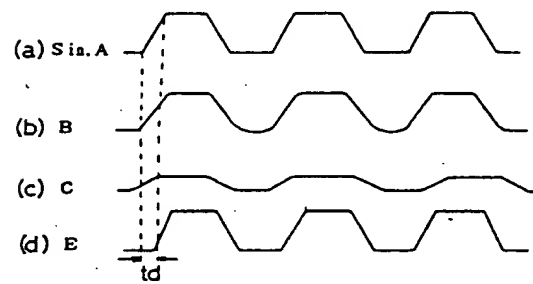
第 1 図



第 2 図



第 7 図



第 8 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.